

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0004358
Application Number

출원년월일 : 2003년 01월 22일
Date of Application JAN 22, 2003

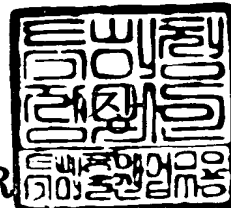
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 10 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.22
【발명의 명칭】	반도체 장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor device and Method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	박병준
【성명의 영문표기】	PARK, Byung Jun
【주민등록번호】	720524-1001713
【우편번호】	442-390
【주소】	경기도 수원시 팔달구 신동 916번지 영통3 풍림 아이원아파트 103동 1404호
【국적】	KR
【발명자】	
【성명의 국문표기】	김지영
【성명의 영문표기】	KIM, Ji Young
【주민등록번호】	700405-1636710
【우편번호】	449-915
【주소】	경기도 용인시 구성면 연남리 신일아파트 103-1001
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 38 면 38,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 28 항 1,005,000 원

【합계】 1,072,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 장치 및 그 제조방법이 개시되어 있다. 반도체 기판 상에 소정 간격으로 이격되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들을 형성한다. 각 배선의 측벽에 절연막 스페이서들을 형성한다. 상기 절연막 스페이서의 외주면에 접하면서 상기 배선과 인접한 배선 사이의 공간을 매립하도록 제2 도전층으로 이루어진 복수개의 자기정렬 콘택 패드들을 형성한다. 상기 콘택 패드들이 형성된 기판의 전면에 층간 절연막을 형성하고, 상기 층간 절연막을 부분적으로 식각하여 콘택 패드를 노출하는 콘택홀을 형성한다. 상기 콘택홀을 통해 노출된 콘택 패드의 표면 상에, 상기 배선의 절연 마스크층을 커버하도록 선택적 에피택시얼 실리콘층을 형성한다. 따라서, 하부 배선과 상기 콘택홀의 내부에 형성되어질 상부 배선과의 전기적 단락을 방지할 수 있다.

【대표도】

도 2e

【명세서】

【발명의 명칭】

반도체 장치 및 그 제조방법{Semiconductor device and Method of manufacturing the same}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 방법에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2e는 본 발명의 제1 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 11b는 본 발명의 제2 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

50, 100 : 반도체 기판 55 : 배선

54 : 절연 마스크층 56 : 절연막 스페이서

60, 115 : 개구부 66, 120, 132 : 콘택홀

62, 116a, 116b : 콘택 패드 64, 114, 118, 130 : 층간 절연막

68, 122, 134 : 선택적 에피택시얼 실리콘층

101: 활성 영역 102 : 소자분리 영역

108 : 게이트 라인 110 : 게이트 마스크층

112 : 게이트 스페이서 124 : 비트라인

126 : 비트라인 마스크 128 : 비트라인 스페이서

136 : 콘택 스페이서 138 : 스토리지 노드 콘택 플러그

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 다이내믹 랜덤 액세스 메모리(이하, DRAM이라 한다) 장치 및 그 제조방법에 관한 것이다.
- <16> 반도체 장치의 제조 기술들이 발달되고 메모리 장치에 대한 응용이 확대됨에 따라, 고 용량을 갖는 메모리 장치들이 개발되어 왔다. 특히, 하나의 캐패시터와 하나의 트랜지스터로 메모리 셀이 구성되는 DRAM 장치는 그 집적도가 현저히 향상되어 왔다.
- <17> 반도체 장치의 집적도가 증가함에 따라, 소자와 소자 또는 층과 층을 고전도성 박막으로 연결시키는 콘택홀의 크기는 감소하는 반면, 층간 절연막의 두께는 증가하고 있다. 따라서, 콘택홀의 어스펙트비(즉, 홀의 직경에 대한 홀의 길이의 비)가 증가하여 사진식각(photolithography process) 공정에서 콘택홀의 정렬 마진이 감소함으로써, 기존의 콘택 형성방법으로는 미세 크기의 콘택홀을 형성하는 것이 어렵게 되었다.
- <18> 이에 따라, DRAM 장치에서는 콘택홀의 어스펙트비를 감소시키기 위해 랜딩 패드(landing pad)를 사용하고 있으며, $0.1\mu\text{m}$ 이하의 패턴 크기에서는 자기정렬 콘택(self-aligned contact) 구조를 이용하여 정렬 마진의 감소에 따른 단락 발생의 문제를 해결하고 있다.

- <19> 도 1a 및 도 1b는 종래 방법에 의한 자기정렬 콘택 패드를 갖는 DRAM 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <20> 도 1a를 참조하면, 트렌치 소자분리와 같은 통상의 소자 분리 공정으로 반도체 기판(10)을 활성 영역과 소자분리 영역(12)으로 구분한다. 이어서, 열적 산화법(thermal oxidation)으로 상기 활성 영역의 표면에 얇은 게이트 산화막(도시하지 않음)을 성장시킨 후, 그 위에 워드라인으로 제공되는 MOS 트랜지스터의 게이트 전극(18)을 형성한다. 바람직하게는, 상기 게이트 전극(18)은 고농도의 불순물로 도핑된 폴리실리콘층(14)과 텅스텐 실리사이드층(16)이 적층된 폴리사이드 구조로 형성된다.
- <21> 상기 게이트 전극(18)은 그 상부에 실리콘 질화물로 이루어진 게이트 마스크층(20)이 형성되고, 그 측벽에 실리콘 질화물로 이루어진 게이트 스페이서(22)가 형성된다. 이어서, 상기 게이트 전극(18) 및 게이트 스페이서(22)를 이온주입 마스크로 이용하는 통상의 이온주입 공정에 의해 상기 게이트 스페이서(22) 양측의 기판 표면에 MOS 트랜지스터의 소오스/드레인 영역(도시하지 않음)을 형성한다.
- <22> 상기 MOS 트랜지스터들을 포함한 기판(10)의 전면에 제1 층간 절연막(24)을 증착한 후, 상기 활성 영역을 노출하는 개구부를 갖는 바(bar) 형태의 마스크 패턴을 이용하여 인접한 게이트 전극(18)들 사이의 소오스/드레인 영역의 표면이 노출될 때까지 상기 제1 층간 절연막(24)을 식각한다.
- <23> 그런 다음, 상기 개구부를 매립하도록 제1 층간 절연막(24) 상에 고농도의 불순물로 도핑된 폴리실리콘으로 이루어진 제1 도전층을 증착하고, 상기 제1 도전층을 게이트 마스크층(20)의 상부 표면이 노출될 때까지 화학 기계적 연마(chemical mechanical

polishing; CMP) 공정으로 평탄화한다. 그러면, 상기 게이트 전극(18)에 자기정렬되고 상기 소오스/드레인 영역과 접촉되는 제1 및 제2 콘택 패드(26a, 26b)가 형성된다.

<24> 상기 제1 층간 절연막(24) 및 콘택 패드들(26a, 26b) 상에 실리콘 산화물로 이루어진 제2 층간 절연막(28)을 증착한 후, CMP 또는 에치백 공정으로 상기 제2 층간 절연막(28)을 평탄화시킨다. 이어서, 사진식각 공정에 의해 상기 제2 층간 절연막(28)을 부분적으로 식각하여 상기 드레인 영역과 접촉하는 제2 콘택 패드(26b)를 노출하는 비트라인 콘택홀(30)을 형성한다. 상기 비트라인 콘택홀(30)을 매립하도록 상기 제2 층간 절연막(28) 상에 제2 도전층 및 실리콘 질화막을 차례로 증착한 후, 사진식각 공정으로 상기 실리콘 질화막 및 제2 도전층을 패터닝함으로써, 그 상면에 비트라인 마스크(34)를 구비하는 비트라인(32)을 형성한다.

<25> 상기 결과물의 전면에 실리콘 산화물로 이루어진 제3 층간 절연막(36)을 증착한 후, CMP 또는 에치백 공정으로 상기 제3 층간 절연막(36)을 평탄화시킨다. 이어서, 사진식각 공정으로 상기 제3 층간 절연막(36) 및 제2 층간 절연막(28)을 부분적으로 식각하여 상기 소오스 영역과 접촉하는 제1 콘택 패드(26a)를 노출하는 스토리지 노드 콘택홀(38)을 형성한다. 이때, 상기 스토리지 노드 콘택홀(38)은 게이트 방향과 동일한 방향으로 인접하는 제1 콘택 패드(26a)들을 병합(merge)하여 노출하는 라인 형태로 형성한다.

<26> 도 1b를 참조하면, 상기 스토리지 노드 콘택홀(38) 및 제3 층간 절연막(36) 상에 실리콘 질화막을 증착하고 이를 이방성 식각하여 상기 스토리지 노드 콘택홀(38)의 내측벽 상에 콘택 스페이서(40)를 형성한다.

<27> 이어서, 상기 스토리지 노드 콘택홀(38)을 매립하도록 제3 층간 절연막(36) 상에 도핑된 폴리실리콘으로 이루어진 제3 도전층을 증착하고, CMP 공정으로 상기 제3 층간

절연막(36)의 표면이 노출될 때까지 상기 제3 도전층을 평탄화하여 노드 분리된 스토리지 노드 콘택 플러그(도시하지 않음)를 형성한다.

<28> 상술한 종래 방법에 의하면, 콘택 패드(26a, 26b)를 형성하기 위한 자기정렬 콘택 식각 공정, 콘택 패드(26a, 26b)를 노드 분리하기 위한 CMP 공정 및 콘택 스페이서(40)를 형성하기 위한 식각 공정시 그 하부의 실리콘 질화물로 이루어진 게이트 마스크층(20)에 리세스(recess)가 발생하여 상기 게이트 마스크층(20)이 그 하부의 게이트 전극(18)을 충분히 보호하지 못하게 된다. 이러한 문제를 해결하기 위해서는 상기 게이트 마스크층(20)의 두께를 증가시켜야 하지만, 이 경우 포토레지스트막과 실리콘 질화막과의 낮은 식각 선택비로 인하여 게이트 낫칭(notching)이 발생하는 문제가 있다.

<29> 따라서, 게이트 마스크층(20)의 두께를 증가시키는데 한계가 있기 때문에, 자기정렬 콘택 식각 공정 및 그 후속 공정들을 진행하면서 게이트 마스크층(20)의 두께가 지속적으로 감소하게 되어 상기 게이트 전극(18)의 에지부를 노출시키게 된다. 그 결과, 비트라인(32)과 게이트 전극(18)이 전기적으로 단락되거나(도 1a의 C 참조) 스토리지 노드 콘택 플러그와 게이트 전극(18)이 전기적으로 단락되는(도 1b의 D 참조) 문제가 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명의 제1의 목적은 하부 배선과 상부 배선 간의 전기적 단락을 방지할 수 있는 반도체 장치를 제공하는데 있다.

<31> 본 발명의 제2의 목적은 하부 배선과 상부 배선 간의 전기적 단락을 방지할 수 있는 반도체 장치의 제조방법을 제공하는데 있다.

<32> 본 발명의 제3의 목적은 스토리지 노드 콘택과 게이트 전극 또는 비트라인 콘택과 게이트 전극 간의 전기적 단락을 방지할 수 있는 DRAM 장치의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<33> 상기한 제1의 목적을 달성하기 위하여 본 발명은, 반도체 기판; 상기 기판 상에 서로 소정 간격으로 이격되어 형성되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들; 각 배선의 측벽에 형성된 절연막 스페이서들; 상기 절연막 스페이서의 외주면에 접하면서 배선과 인접한 배선 사이의 공간을 매립하여 형성되고, 제2 도전층으로 이루어진 복수개의 자기정렬 콘택 패드들; 상기 콘택 패드들, 배선들 및 기판 상에 형성되고, 상기 콘택 패드를 노출하는 콘택홀을 갖는 층간 절연막; 및 상기 콘택홀을 통해 노출된 콘택 패드의 표면 상에 상기 배선의 절연 마스크층을 커버하도록 형성된 선택적 에피택시얼 실리콘층을 구비하는 것을 특징으로 하는 반도체 장치를 제공한다.

<34> 바람직하게는, 상기 절연 마스크층 및 절연막 스페이서는 실리콘 질화물 계열의 물질로 형성된다.

<35> 상기한 제2의 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 서로 소정 간격으로 이격되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들을 형성하는 단계; 각 배선의 측벽에 절연막 스페이서들을 형성하는 단계; 상기 절연막 스페이서의 외주면에 접하면서 상기 배선과 인접한 배선 사이의 공간을 매립하도록 제2 도전층으로 이루어진 복수개의 자기정렬 콘택 패드들을 형성하는 단계; 상기 콘택 패드들이 형성된 기판의 전면에서 층간 절연막을 형성하는 단계; 상기 층간

절연막을 부분적으로 식각하여 상기 콘택 패드를 노출하는 콘택홀을 형성하는 단계; 및 상기 콘택홀을 통해 노출된 상기 콘택 패드의 표면 상에, 상기 배선의 절연 마스크층을 커버하도록 선택적 에피택시얼 실리콘층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.

<36> 또한, 본 발명의 상기한 제2의 목적은 반도체 기판 상에 서로 소정 간격으로 이격되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들을 형성하는 단계; 각 배선의 측벽에 절연막 스페이서들을 형성하는 단계; 적어도 두 개의 다른 콘택 영역들을 포함하는 개구부를 갖는 바 형태의 마스크 패턴을 이용하여, 배선과 인접한 배선 사이의 기판 표면과 접촉하는 적어도 두 개의 다른 자기정렬 콘택 패드들을 형성하는 단계; 상기 적어도 두 개의 다른 콘택 패드들이 형성된 기판의 전면 에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 부분적으로 식각하여 상기 적어도 두 개의 다른 콘택 패드들 중 하나의 콘택 패드를 노출하는 콘택홀을 형성하는 단계; 및 상기 콘택홀을 통해 노출된 콘택 패드의 표면 상에, 상기 배선의 절연 마스크층을 커버하도록 선택적 에피택시얼 실리콘층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법에 의해 달성될 수 있다.

<37> 바람직하게는, 상기 적어도 두 개의 다른 콘택 패드들을 형성하는 단계는, 상기 절연막 스페이서들, 배선들 및 기판 상에 제1 층간 절연막을 형성하는 단계; 적어도 두 개의 다른 콘택 영역들을 포함하는 개구부를 갖는 바 형태의 마스크 패턴을 이용하여 배선과 인접한 배선 사이의 기판 표면이 노출될 때까지 상기 제1 층간 절연막을 식각하는 단계; 상기 개구부를 매립하도록 상기 제1 층간 절연막 상에 제2 도전층을 형성하는 단계;

및 상기 배선의 절연 마스크층의 상부 표면이 노출될 때까지 상기 제2 도전층 및 제1 층간 절연막을 평탄화하는 단계를 포함한다.

<38> 바람직하게는, 상기 적어도 두 개의 다른 콘택 패드들 중 하나의 콘택 패드를 노출하는 콘택홀은 상기 배선과 동일한 방향으로 인접한 콘택 패드들을 병합하여 노출하는 라인 형태로 형성한다.

<39> 상기한 제3의 목적을 달성하기 위하여 본 발명은, 복수개의 활성 영역을 갖는 반도체 기판 상에, 하나의 활성 영역을 지나는 인접한 게이트 라인들의 사이에 스토리지 노드 콘택 영역과 비트라인 콘택 영역이 각각 형성되도록 그 상면 및 측벽에 게이트 마스크층 및 게이트 스페이서를 구비하는 복수개의 게이트 라인을 형성하는 단계; 상기 활성 영역을 노출하는 개구부를 갖는 바 형태의 자기정렬 콘택 마스크 패턴을 이용하여 상기 스토리지 노드 콘택 영역과 접촉하는 제1 콘택 패드들 및 상기 비트라인 콘택 영역과 접촉하는 제2 콘택 패드들을 형성하는 단계; 상기 제1 및 제2 콘택 패드들이 형성된 기판의 전면에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 부분적으로 식각하여 상기 게이트 라인과 동일한 방향으로 인접하는 제1 콘택 패드들을 병합하여 노출하는 라인 형태의 스토리지 노드 콘택홀들을 형성하는 단계; 각 스토리지 노드 콘택홀을 통해 노출된 제1 콘택 패드의 표면 상에, 상기 게이트 마스크층을 커버하도록 선택적 에피택시얼 실리콘층들을 형성하는 단계; 및 각 스토리지 노드 콘택홀의 내부에 상기 제1 콘택 패드와 전기적으로 접속하는 스토리지 노드 콘택 플러그들을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.

<40> 본 발명에 의하면, 자기정렬 콘택 패드를 노출시키는 콘택홀을 형성한 후, 상기 콘택홀을 통해 노출된 콘택 패드의 표면에 그 하부의 배선을 둘러싸고 있는 절연 마스크층

을 커버하도록 선택적 에피택시얼 실리콘층을 성장시킨다. 따라서, 상기 선택적 에피택시얼 실리콘층은 후속의 식각 공정시 상기 절연 마스크층을 보호하는 역할을 하므로, 하부 배선과 상기 콘택홀의 내부에 형성되어질 상부 배선과의 전기적 단락을 방지할 수 있다.

<41> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

<42> 실시예 1

<43> 도 2a 내지 도 2e는 본 발명의 제1 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

<44> 도 2a를 참조하면, 반도체 기판(50) 상에 서로 소정 간격으로 이격되는 복수개의 배선(55)을 형성한다. 각각의 배선(55)은 제1 도전층(52) 및 실리콘 질화물 계열의 물질로 이루어진 절연 마스크층(54)을 포함한다. 상기 제1 도전층(52)은 도핑된 폴리실리콘 또는 금속으로 형성하거나, 도핑된 폴리실리콘으로 이루어진 제1 층 및 금속 실리사이드로 이루어진 제2 층의 복합 층으로 형성한다.

<45> 상기 배선(55)들이 형성된 기판(50) 상에 실리콘 질화물 계열의 절연막을 증착하고 상기 절연막을 이방성 식각하여 각 배선(55)의 측벽에 절연막 스페이서(56)들을 형성한다.

<46> 상기 절연막 스페이서(56), 배선(55) 및 기판(50) 상에 실리콘 산화물 계열의 물질로 이루어진 제1 층간 절연막(58)을 형성한다. 이어서, 콘택 영역을 노출하는 개구부(60)를 갖는 마스크 패턴, 예컨대 포토레지스트 패턴을 이용하여 실리콘 질화막에 대해

높은 식각 선택비를 갖는 식각 가스로 상기 제1 층간 절연막(58)을 이방성 식각함으로써 배선(55)과 인접한 배선(55) 사이의 기판 표면을 노출시킨다. 바람직하게는, 적어도 두 개의 다른 콘택 영역들을 포함하는 개구부(60)를 갖는 바 형태의 마스크 패턴을 이용하여 배선(55)과 인접한 배선(55) 사이의 기판 표면이 노출될 때까지 상기 제1 층간 절연막(58)을 식각한다.

<47> 도 2b를 참조하면, 상기 개구부(60)를 매립하도록 상기 제1 층간 절연막(58) 상에 제2 도전층(61)을 형성한다. 바람직하게는, 상기 제2 도전층(61)은 고농도의 불순물로 도핑된 폴리실리콘으로 이루어진다.

<48> 도 2c를 참조하면, 상기 배선(55)의 절연 마스크층(54)의 표면이 노출될 때까지 상기 제2 도전층(61) 및 제1 층간 절연막(58)을 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 평탄화한다. 그러면, 상기 절연막 스페이서(62)의 외주면에 접하면서 배선(55)과 인접한 배선(55) 사이의 공간을 매립하는 자기정렬 콘택 패드(62)들이 형성된다. 바람직하게는, 상기 적어도 두 개의 다른 콘택 영역들과 접촉하는 적어도 두 개의 다른 자기정렬 콘택 패드(62)들이 형성된다.

<49> 도 2d를 참조하면, 상기 콘택 패드(62), 배선(55) 및 제1 층간 절연막(58) 상에 실리콘 산화물 계열의 물질로 이루어진 제2 층간 절연막(64)을 형성한다. 이어서, 사진식각 공정으로 상기 제2 층간 절연막(64)을 부분적으로 식각하여 상기 콘택 패드(62), 바람직하게는 상기 적어도 두 개의 다른 콘택 패드들 중 하나의 콘택 패드를 노출하는 콘택홀(66)을 형성한다. 이때, 상기 콘택홀(66)은 하나의 콘택 패드(62)에 상응하는 원형으로 형성하거나, 상기 배선(55)과 동일한 방향으로 인접한 콘택 패드(62)들을 병합하여 노출하는 라인 형태로 형성한다.

- <50> 도 2e를 참조하면, 상기 콘택홀(66)을 통해 노출된 콘택 패드(62)의 표면 상에 상기 배선(55)의 절연 마스크층(54)을 커버할 수 있을 정도의 두께로 선택적 에피택시얼 실리콘층(68)을 성장시킨다.
- <51> 이어서, 도시하지는 않았으나, 상기 제2 층간 절연막(66) 및 콘택홀(66) 상에 연속적으로 상기 제2 층간 절연막(66)에 대해 식각 선택비를 갖는 물질, 바람직하게는 실리콘 질화막을 증착하고, 상기 선택적 에피택시얼 실리콘층(68)을 에치 스톱퍼(etch stopper)로 이용하여 상기 실리콘 질화막을 이방성 식각함으로써 상기 콘택홀(66)의 내측벽 상에 실리콘 질화막으로 이루어진 콘택 스페이서를 형성한다. 이때, 상기 선택적 에피택시얼 실리콘층(68)은 상기 식각 공정으로부터 하부 배선(55)을 감싸고 있는 절연 마스크층(54)을 보호하는 역할을 한다.
- <52> 그런 다음, 상기 콘택홀(66)을 매립하도록 상기 제2 층간 절연막(66) 상에 제3 도전층, 예컨대 도핑된 폴리실리콘층을 증착하고, CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 상기 제2 층간 절연막(66)의 상부 표면이 노출될 때까지 상기 제3 도전층을 평탄화한다. 그러면, 상기 콘택홀(66)의 내부에 후속 공정에서 형성되어질 상부 배선과 상기 노출된 콘택 패드(62)를 전기적으로 접속시키는 콘택 플러그가 형성된다. 또는, 상기 콘택홀(66)을 매립하도록 상기 제2 층간 절연막(66) 상에 도핑된 폴리실리콘이나 금속으로 이루어진 제3 도전층을 증착하고, 사진식각 공정으로 상기 제3 도전층을 패터닝함으로써 상기 콘택홀(66)을 통해 상기 노출된 콘택 패드(62)와 전기적으로 접속하는 상부 배선을 형성할 수도 있다.
- <53> 상술한 바와 같이 본 발명의 제1 실시예에 의하면, 자기정렬 콘택 패드(62)를 노출하는 콘택홀(66)을 형성한 후, 노출된 콘택 패드(62)의 표면 상에 하부 배선(55)을 감싸

고 있는 절연 마스크층(54)을 커버하도록 선택적 에피택시얼 실리콘층(68)을 형성한다. 따라서, 콘택 스페이서를 형성하기 위한 후속의 식각 공정시 상기 선택적 에피택시얼 실리콘층(68)에 의해 상기 절연 마스크층(54)의 리세스가 발생하지 않으므로, 하부 배선(55)과 상기 콘택홀(66) 내에 형성되는 콘택 플러그 또는 상부 배선 간에 전기적 단락이 발생하는 것을 방지할 수 있다.

<54> 실시예 2

<55> 도 3a 내지 도 11b는 본 발명의 제2 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

<56> 도 3a는 활성 영역(101)이 형성된 기판의 평면도이고, 도 3b 및 도 3c는 각각 도 3a의 AA'선 및 BB'선에 따른 단면도이다. 통상의 셀로우 트렌치 소자분리(shallow trench isolation: STI) 공정을 통해 반도체 기판(100)을 활성 영역(101)과 소자분리 영역(102)으로 구분한다.

<57> 바람직하게는, 상기 활성 영역(101)은 T자의 거울상(mirror image) 형태로 형성한다. 그러나, 상기 활성 영역(101)을 일자형이나 T자형으로 형성할 수 있음은 물론이다. 상기 활성 영역(101)에는 후속 공정에서 적어도 두 개의 서로 다른 콘택 영역들이 형성된다.

<58> 도 4a는 게이트 라인(108)이 형성된 기판의 평면도이고, 도 4b 및 도 4c는 각각 도 4a의 AA'선 및 BB'선에 따른 단면도이다. 열적 산화법으로 상기 기판(100)의 활성 영역(101)의 표면에 얇은 게이트 산화막(도시하지 않음)을 성장시킨 후, 그 위에 게이트용

제1 도전층 및 게이트 마스크층(110)을 차례로 증착한다. 바람직하게는, 상기 제1 도전층은 도핑된 폴리실리콘층(104) 및 상기 폴리실리콘층(104) 상에 적층된 금속 실리사이드층(106)을 포함한다. 상기 게이트 마스크층(110)은 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 실리콘 질화물 계열의 물질로 형성된다.

<59> 이어서, 사진식각 공정으로 상기 게이트 마스크층(110) 및 제1 도전층을 패터닝하여 게이트 라인(108)을 형성한다. 구체적으로, 상기 게이트 마스크층(110) 상에 사진 공정으로 제1 포토레지스트 패턴(도시하지 않음)을 형성한 후, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 상기 게이트 마스크층(110)을 건식 식각한다. 에칭 및 스트립 공정으로 상기 제1 포토레지스트 패턴을 제거한 후, 패터닝된 게이트 마스크층(110)을 이용하여 상기 제1 도전층을 건식 식각하여 도핑된 폴리실리콘층(104) 및 금속 실리사이드층(106)이 적층된 복수개의 게이트 라인(108)을 형성한다. 상기 활성 영역(101) 위의 게이트 라인(108)은 MOS 트랜지스터의 게이트 전극으로 제공된다.

<60> 상기 게이트 라인(108)들이 형성된 기판(100)의 전면에 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 실리콘 질화물 계열의 절연막을 증착하고, 상기 절연막을 이방성 식각하여 각각의 게이트 라인(108)의 측벽에 게이트 스페이서(112)를 형성한다. 따라서, 상기 게이트 라인(108)은 그 상면 및 측벽이 절연막, 즉 게이트 마스크층(110) 및 게이트 스페이서(112)로 둘러싸이므로 인접한 게이트 라인(108)과 전기적으로 격리된다.

<61> 그런 다음, 통상의 이온주입 공정을 통해 상기 게이트 스페이서(112) 양측의 활성 영역(101)의 표면에 MOS 트랜지스터의 소오스/드레인 영역(도시하지 않음)을 형성한다.

여기서, 상기 게이트 스페이서(112)를 형성하기 전에, LDD 이온주입을 실시하여 게이트 라인(108) 양측의 활성화 영역(101)의 표면에 저농도의 소오스/드레인 영역을 형성함으로써, LDD 구조의 소오스/드레인을 구현할 수도 있다.

<62> 상기 소오스/드레인 영역 중의 하나는 캐패시터의 스토리지 전극이 접속되어질 스토리지 노드 콘택 영역이며, 다른 하나는 비트라인이 접속되어질 비트라인 콘택 영역이다. 본 실시예에서는 소오스 영역이 스토리지 노드 콘택 영역이고 드레인 영역이 비트라인 콘택 영역이 된다. 하나의 활성화 영역(101)을 지나는 인접한 게이트 라인(108)들의 사이에 각각 스토리지 노드 콘택 영역 및 비트라인 콘택 영역이 형성되므로, 하나의 활성화 영역(101)에 두 개의 스토리지 노드 콘택 영역 및 비트라인 콘택 영역이 형성된다.

<63> 도 5a는 자기정렬 콘택 마스크 패턴이 형성된 기판의 평면도이고, 도 5b 및 도 5c는 각각 도 5a의 AA'선 및 BB'선에 따른 단면도이다. MOS 트랜지스터들을 포함한 기판(100)의 전면에 실리콘 산화물 계열의 물질로 이루어진 제1 층간 절연막(114)을 형성한다. 상기 제1 층간 절연막(114)을 증착한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP 공정 또는 에치백 공정으로 상기 제1 층간 절연막(114)의 표면을 평탄화할 수 있다.

<64> 이어서, 상기 활성화 영역(101)을 노출하는 개구부(115)를 갖는 바 형태의 자기정렬 콘택 마스크 패턴, 예컨대 제2 포토레지스트 패턴(P.R)을 이용하여 게이트 라인(108)과 인접한 게이트 라인(108) 사이의 스토리지 노드 콘택 영역 및 비트라인 콘택 영역의 표면이 노출될 때까지 제1 층간 절연막(114)을 이방성 식각한다.

<65> 도 6a는 제1 및 제2 콘택 패드(116a, 116b)들이 형성된 기판의 평면도이고,

도 6b 및 도 6c는 각각 도 6a의 AA'선 및 BB'선에 따른 단면도이다. 상기 개구부(115)들을 매립하도록 상기 제1 층간 절연막(114) 상에 제2 도전층, 예컨대 고농도의 불순물로 도핑된 폴리실리콘층을 증착하고, 상기 게이트 마스크층(110)의 상부 표면이 노출될 때까지 상기 제2 도전층 및 제1 층간 절연막(114)을 평탄화한다. 그러면, 각각의 개구부(115) 상에 노드 분리된 적어도 두 개의 다른 콘택 패드들, 예컨대 상기 스토리지 노드 콘택 영역과 접촉하는 제1 콘택 패드(116a) 및 상기 비트라인 콘택 영역과 접촉하는 제2 콘택 패드(116b)가 형성된다.

<66> 바람직하게는, 상기 제2 도전층의 평탄화는 CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 수행한다.

<67> 도 7a는 비트라인 콘택홀(122)이 형성된 기판의 평면도이고, 도 7b 및 도 7c는 각각 도 7a의 AA'선 및 BB'선에 따른 단면도이다. 상술한 바와 같이 제1 및 제2 콘택 패드(116a, 116b)들을 형성한 후, 결과물의 전면에 BPSG, USG, HDP 산화물 또는 CVD 산화물과 같은 실리콘 산화물 계의 물질을 증착하여 제2 층간 절연막(118)을 형성한다. 상기 제2 층간 절연막(118)은 상기 콘택 패드(116a, 116b)와 그 위에 형성되어질 비트라인을 전기적으로 격리시키는 역할을 한다.

<68> 상기 제2 층간 절연막(118)을 증착한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP 공정 또는 에치백 공정으로 상기 제2 층간 절연막(118)의 표면을 평탄화할 수 있다.

<69> 이어서, 사진식각 공정에 의해 상기 제2 층간 절연막(118)을 부분적으로 식각하여 상기 비트라인 콘택 영역과 접촉하는 제2 콘택 패드(116b)를 노출하는 비트라인 콘택홀(120)을 형성한다. 그런 다음, 각 비트라인 콘택홀(120)을 통해 노출된 제2 콘택 패드

(116b)의 표면 상에, 상기 게이트 마스크층(110)을 커버할 수 있을 정도의 두께, 예컨대 약 500Å의 두께로 선택적 에피택시얼 제1 실리콘층(122)을 형성한다. 상기 선택적 에피택시얼 제1 실리콘층(122)은 후속의 식각 공정시 그 하부의 게이트 마스크층(110)을 보호하는 역할을 한다.

<70> 도 8a는 비트라인(124)이 형성된 기판의 평면도이고, 도 8b 및 도 8c는 각각 도 8a의 AA'선 및 BB'선에 따른 단면도이다. 상술한 바와 같이 노출된 제1 콘택 패드(116b)의 표면에 선택적 에피택시얼 제1 실리콘층(122)을 형성한 후, 비트라인 콘택홀(120)을 매립하도록 제2 층간 절연막(118) 상에 비트라인용 제3 도전층 및 비트라인 마스크층(126)을 차례로 증착한다. 바람직하게는, 상기 제3 도전층은 제1 금속 및/또는 상기 제1 금속의 화합물, 예를 들어 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 제1 층 및 제2 금속, 예를 들어 텅스텐(W)으로 이루어진 제2 층의 복합 층으로 형성할 수 있다. 상기 비트라인 마스크층은 후속의 콘택 식각 공정시 그 하부의 비트라인을 보호하는 역할을 하며, 바람직하게는 실리콘 질화물 계열의 물질로 형성된다.

<71> 상술한 단계에 의하면, 이중 층으로 이루어진 제3 도전층이 직접 비트라인 콘택홀(120)에 접촉되어 형성된다. 이와는 달리, 상기 비트라인 콘택홀(120)의 내부에 비트라인 콘택 플러그를 형성한 후, 상기 비트라인 콘택 플러그에 직접 접촉되도록 제3 도전층을 형성할 수도 있다. 즉, 상기 비트라인 콘택홀(120) 및 제2 층간 절연막(118) 상에 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 장벽 금속층 및 텅스텐으로 이루어진 제3 금속층을 증착한 후, 에치백 또는 CMP 공정으로 상기 제2 층간 절연막(118)의 상부 표면이 노출될 때까지 제3 금속층을 제거한다. 그러면, 상기 비트라인 콘택홀(120)의 내부에 상기 장벽 금속층과 제3 금속층으로 이루어진 비트라인 콘택 플러그가 형성된다. 이와

같이 비트라인 콘택 플러그가 형성되면, 상기 비트라인 콘택 플러그 및 제2 층간 절연막 (118) 상에 제4 금속, 예컨대 텅스텐으로 이루어진 제3 도전층 및 비트라인 마스크층 (126)을 차례로 증착한다. 따라서, 비트라인 콘택 플러그를 형성할 경우에는 비트라인 도전층이 단일 층으로 형성된다.

<72> 이어서, 상기 비트라인 마스크층(126) 상에 사진 공정으로 제3 포토레지스트 패턴(도시하지 않음)을 형성한 후, 상기 제3 포토레지스트 패턴을 식각 마스크로 이용하여 상기 비트라인 마스크층(126)을 건식 식각한다. 에칭 및 스트립 공정으로 상기 제3 포토레지스트 패턴을 제거한 후, 패터닝된 비트라인 마스크층(126)을 식각 마스크로 이용하여 상기 제3 도전층을 건식 식각하여 비트라인 콘택홀(120)을 통해 제1 콘택 패드(116b)와 전기적으로 접속되는 복수개의 비트라인(124)을 형성한다. 상기 비트라인(124)은 게이트 라인(108)과 직교하는 방향으로 신장된다.

<73> 여기서, 상기 제3 포토레지스트 패턴을 형성하기 전에, 상기 비트라인 마스크층 (126) 상에 사진식각 공정을 원활하게 수행하기 위하여 반사 방지층을 형성할 수도 있다. 이러한 반사 방지층은 통상적으로 실리콘 옥시나이트라이드(SiON)의 단일 층이나, 고온 산화막과 SiON막으로 구성된 복수개의 층으로 형성할 수 있다. 상기 반사 방지층은 후속하는 사진식각 공정시 하부 기판으로부터 빛이 반사되는 것을 방지하는 역할을 한다.

<74> 상술한 바와 같이 비트라인(124)들을 형성한 후, 결과물의 전면에서 실리콘 질화막을 증착하고 이를 이방성 식각하여 각각의 비트라인(124)의 측벽에 비트라인 스페이서(128)를 형성한다. 바람직하게는, 상기 비트라인 스페이서(128)는 100~200Å 정도의 두께로 형성한다.

<75> 도 9a는 스토리지 노드 콘택홀(132)이 형성된 기판의 평면도이고, 도 9b 및 도 9c는 각각 도 9a의 AA'선 및 BB'선에 따른 단면도이다. 상술한 바와 같이 비트라인 마스크층(126) 및 비트라인 스페이서(128)로 둘러싸인 비트라인(124)을 형성한 후, 결과물의 전면에 BPSG, USG, HDP 산화물 또는 CVD 산화물과 같은 실리콘 산화물 계의 물질을 증착하여 제3 층간 절연막(130)을 형성한다. 상기 제3 층간 절연막(130)은 상기 비트라인(124)과 후속 공정에서 형성되어질 스토리지 노드 콘택 플러그를 전기적으로 격리하는 역할을 한다.

<76> 상기 제3 층간 절연막(130)을 증착한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP 또는 에치백 공정으로 상기 제3 층간 절연막(130)의 표면을 평탄화한다. 그런 다음, 사진식각 공정으로 상기 제3 층간 절연막(130) 및 제2 층간 절연막(118)을 부분적으로 식각하여 상기 스토리지 노드 콘택 영역과 접촉하는 제1 콘택 패드(116a)를 노출하는 스토리지 노드 콘택홀(132)을 형성한다. 여기서, 참조부호 118a는 제2 층간 절연막 잔류물을 나타낸다.

<77> 구체적으로, 사진 공정에 의해 상기 제3 층간 절연막(130) 상에 게이트 라인(108)과 동일한 방향으로 신장되는 라인 형태의 제4 포토레지스트 패턴(도시하지 않음)을 형성한다. 이어서, 상기 제4 포토레지스트 패턴을 식각 마스크로 이용하여 실리콘 질화막, 즉 비트라인 마스크층(126) 및 비트라인 스페이서(128)에 대해 높은 식각 선택비를 갖는 식각 가스로 상기 제3 층간 절연막(130) 및 제2 층간 절연막(118)을 이방성 식각한다. 그러면, 비트라인(124)과 비트라인(124) 사이에 위치한 제1 콘택 패드(116a)를 노출하는 라인 형태의 스토리지 노드 콘택홀(132)이 형성된다. 즉, 상기 스토리지 노드 콘택홀

(132)은 게이트 라인(108)과 동일한 방향으로 인접하는 제1 콘택 패드(116a)들을 병합하여 노출하는 라인 형태로 형성된다.

<78> 도 10a 및 도 10b는 각각 도 9a의 AA'선 및 BB'선에 따른 단면도로서, 선택적 에피택시얼 제2 실리콘층(134) 및 콘택 스페이서(136)를 형성하는 단계를 도시한다. 상술한 바와 같이 라인 형태의 스토리지 노드 콘택홀(132)을 형성한 후, 에칭 및 스트립 공정으로 제4 포토레지스트 패턴을 제거한다.

<79> 이어서, 노출된 제1 콘택 패드(116a)의 표면 상에 상기 게이트 마스크층(110)을 커버할 수 있을 정도의 두께, 예컨대 약 500Å의 두께로 선택적 에피택시얼 제2 실리콘층(134)을 형성한다.

<80> 상기 결과물의 전면에 상기 제3 층간 절연막(130)에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 계열의 절연막을 증착하고, 상기 선택적 에피택시얼 제2 실리콘층(134)을 에치 스톱퍼로 이용하여 상기 절연막을 이방성 식각함으로써 각각의 스토리지 노드 콘택홀(132)의 내 측벽 상에 콘택 스페이서(136)들을 형성한다. 이때, 상기 콘택 스페이서(136)는 비트라인 스페이서(128) 및 제2 층간 절연막 잔류물(118a)의 측벽 상에도 형성된다. 상기 콘택 스페이서(136)는 비트라인(124)과 상기 스토리지 노드 콘택홀(132)의 내부에 형성되어질 스토리지 노드 콘택 플러그 간의 전기적 단락을 방지하는 역할을 한다.

<81> 상술한 콘택 스페이서(136)를 형성하기 위한 식각 공정시, 상기 제1 콘택 패드(116a) 상에 형성된 선택적 에피택시얼 제2 실리콘층(134)은 게이트 라인(108)을 감싸고 있는 게이트 마스크층(110)을 보호하는 역할을 한다.

<82> 도 11a 및 도 11b는 각각 도 9a의 AA'선 및 BB'선에 따른 단면도로서, 스토리지 노드 콘택 플러그(138)를 형성하는 단계를 도시한다. 상술한 바와 같이 콘택 스페이서(136)들을 형성한 후, 상기 스토리지 노드 콘택홀(132)을 매립하도록 제3 층간 절연막(130) 상에 제4 도전층, 예컨대 도핑된 폴리실리콘층을 증착한다. 그런 다음, 상기 제3 층간 절연막(130)의 상부 표면이 노출될 때까지 CMP 또는 에치백 공정으로 상기 제4 도전층을 평탄화하여 각각의 스토리지 노드 콘택홀(132)의 내부에 노드 분리된 스토리지 노드 콘택 플러그(138)를 형성한다.

<83> 이어서, 통상의 캐패시터 형성공정으로 상기 스토리지 노드 콘택 플러그(138) 상에 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐패시터(도시하지 않음)를 형성한다.

<84> 상술한 바와 같이 본 발명의 제2 실시예에 의하면, 비트라인(124)과 스토리지 노드 콘택 플러그(138) 간의 전기적 단락을 방지하는 콘택 스페이서(136)를 형성하기 위한 식각 공정시 콘택 패드(116a, 116b)들의 표면에 형성된 선택적 에피택시얼 실리콘층(122, 134)이 게이트 라인(108)을 감싸고 있는 게이트 마스크층(110)이 식각되는 것을 방지하는 역할을 한다. 따라서, 게이트 라인(108)과 비트라인(124), 그리고 게이트 라인(108)과 스토리지 노드 콘택 플러그(138) 간의 전기적 단락을 방지할 수 있다.

【발명의 효과】

<85> 상술한 바와 같이 본 발명에 의하면, 자기정렬 콘택 패드를 노출시키는 콘택홀을 형성한 후, 상기 콘택홀을 통해 노출된 콘택 패드의 표면에 그 하부의 배선을 둘러싸고 있는 절연 마스크층을 커버하도록 선택적 에피택시얼 실리콘층을 성장시킨다. 따라서,

상기 선택적 에피택시얼 실리콘층은 후속의 식각 공정시 상기 절연 마스크층을 보호하는 역할을 하므로, 하부 배선과 상기 콘택홀의 내부에 형성되어질 상부 배선과의 전기적 단락을 방지할 수 있다.

<86> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 기판 상에 서로 소정 간격으로 이격되어 형성되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들;

각 배선의 측벽에 형성된 절연막 스페이서들;

상기 절연막 스페이서의 외주면에 접하면서 배선과 인접한 배선 사이의 공간을 매립하여 형성되고, 제2 도전층으로 이루어진 복수개의 자기정렬 콘택 패드들;

상기 콘택 패드들, 배선들 및 기판 상에 형성되고, 상기 콘택 패드를 노출하는 콘택홀을 갖는 층간 절연막; 및

상기 콘택홀을 통해 노출된 콘택 패드의 표면 상에 상기 배선의 절연 마스크층을 커버하도록 형성된 선택적 에피택시얼 실리콘층을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 절연 마스크층 및 절연막 스페이서는 상기 층간 절연막에 대해 식각 선택비를 갖는 물질로 형성된 것을 특징으로 하는 반도체 장치.

【청구항 3】

제2항에 있어서, 상기 절연 마스크층 및 절연막 스페이서는 실리콘 질화물 계열의 물질로 이루어진 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 제2 도전층은 도핑된 폴리실리콘층인 것을 특징으로 하는 반도체 장치.

【청구항 5】

제1항에 있어서, 상기 콘택 패드를 노출하는 상기 콘택홀의 내부에 형성된 제3 도전층; 및

상기 콘택홀의 내 측벽과 상기 콘택 플러그와의 사이에 상기 선택적 에피택시얼 실리콘층의 표면까지 형성된 콘택 스페이서들을 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제5항에 있어서, 상기 콘택 스페이서는 상기 층간 절연막에 대해 식각 선택비를 갖는 물질로 형성된 것을 특징으로 하는 반도체 장치.

【청구항 7】

제6항에 있어서, 상기 콘택 스페이서는 실리콘 질화물 계열의 물질로 이루어진 것을 특징으로 하는 반도체 장치.

【청구항 8】

반도체 기판 상에 서로 소정 간격으로 이격되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들을 형성하는 단계;

각 배선의 측벽에 절연막 스페이서들을 형성하는 단계;

상기 절연막 스페이서의 외주면에 접하면서 상기 배선과 인접한 배선 사이의 공간을 매립하도록 제2 도전층으로 이루어진 복수개의 자기정렬 콘택 패드들을 형성하는 단계;

상기 콘택 패드들이 형성된 기판의 전면에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 부분적으로 식각하여 상기 콘택 패드를 노출하는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 노출된 상기 콘택 패드의 표면 상에, 상기 배선의 절연 마스크층을 커버하도록 선택적 에피택시얼 실리콘층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 9】

제8항에 있어서, 상기 절연 마스크층 및 절연막 스페이서는 상기 층간 절연막에 대해 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 10】

제9항에 있어서, 상기 절연 마스크층 및 절연막 스페이서는 실리콘 질화물 계열의 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 11】

제8항에 있어서, 상기 제2 도전층은 도핑된 폴리실리콘층인 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 12】

반도체 기판 상에 서로 소정 간격으로 이격되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 절연 마스크층을 포함하는 복수개의 배선들을 형성하는 단계;

각 배선의 측벽에 절연막 스페이서들을 형성하는 단계;

적어도 두 개의 다른 콘택 영역들을 포함하는 개구부를 갖는 바 형태의 마스크 패턴을 이용하여, 배선과 인접한 배선 사이의 기판 표면과 접촉하는 적어도 두 개의 다른 자기정렬 콘택 패드들을 형성하는 단계;

상기 적어도 두 개의 다른 콘택 패드들이 형성된 기판의 전면에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 부분적으로 식각하여 상기 적어도 두 개의 다른 콘택 패드들 중 하나의 콘택 패드를 노출하는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 노출된 콘택 패드의 표면 상에, 상기 배선의 절연 마스크층을 커버하도록 선택적 에피택시얼 실리콘층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 13】

제12항에 있어서, 상기 절연 마스크층 및 절연막 스페이서는 상기 층간 절연막에 대해 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 14】

제13항에 있어서, 상기 절연 마스크층 및 절연막 스페이서는 실리콘 질화물 계열의 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 15】

제12항에 있어서, 상기 적어도 두 개의 다른 콘택 패드들을 형성하는 단계는,
상기 절연막 스페이서들, 배선들 및 기판 상에 제1 층간 절연막을 형성하는 단계;
적어도 두 개의 다른 콘택 영역들을 포함하는 개구부를 갖는 바 형태의 마스크 패턴을 이용하여 배선과 인접한 배선 사이의 기판 표면이 노출될 때까지 상기 제1 층간 절연막을 식각하는 단계;

상기 개구부를 매립하도록 상기 제1 층간 절연막 상에 제2 도전층을 형성하는 단계; 및

상기 배선의 절연 마스크층의 상부 표면이 노출될 때까지 상기 제2 도전층 및 제1 층간 절연막을 평탄화하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 16】

제15항에 있어서, 상기 평탄화 단계는 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 수행하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 17】

제12항에 있어서, 상기 적어도 두 개의 다른 콘택 패드들 중 하나의 콘택 패드를 노출하는 콘택홀은 상기 배선과 동일한 방향으로 인접하는 콘택 패드들을 병합하여 노출하도록 라인 형태로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 18】

제12항에 있어서, 상기 선택적 에피택시얼 실리콘층을 형성하는 단계 후,

상기 선택적 에피택시얼 실리콘층을 에치 스톱퍼로 이용하여 상기 콘택홀의 내 측벽 상에 콘택 스페이서를 형성하는 단계; 및

상기 콘택홀의 내부에 상기 노출된 콘택 패드와 전기적으로 접속하는 제3 도전층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 19】

제18항에 있어서, 상기 콘택 스페이서는 상기 층간 절연막에 대해 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 20】

제19항에 있어서, 상기 콘택 스페이서는 실리콘 질화물 계열의 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 21】

복수개의 활성 영역을 갖는 반도체 기판 상에, 하나의 활성 영역을 지나는 인접한 게이트 라인들의 사이에 스토리지 노드 콘택 영역과 비트라인 콘택 영역이 각각 형성되도록 그 상면 및 측벽에 게이트 마스크층 및 게이트 스페이서를 구비하는 복수개의 게이트 라인을 형성하는 단계;

상기 활성 영역을 노출하는 개구부를 갖는 바 형태의 자기정렬 콘택 마스크 패턴을 이용하여 상기 스토리지 노드 콘택 영역과 접촉하는 제1 콘택 패드들 및 상기 비트라인 콘택 영역과 접촉하는 제2 콘택 패드들을 형성하는 단계;

상기 제1 및 제2 콘택 패드들이 형성된 기판의 전면에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 부분적으로 식각하여 상기 게이트 라인과 동일한 방향으로 인접하는 제1 콘택 패드들을 병합하여 노출하는 라인 형태의 스토리지 노드 콘택홀들을 형성하는 단계;

각 스토리지 노드 콘택홀을 통해 노출된 제1 콘택 패드의 표면 상에, 상기 게이트 마스크층을 커버하도록 선택적 에피택시얼 실리콘층들을 형성하는 단계; 및

각 스토리지 노드 콘택홀의 내부에 상기 제1 콘택 패드와 전기적으로 접속하는 스토리지 노드 콘택 플러그들을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 22】

제21항에 있어서, 상기 게이트 마스크층 및 게이트 스페이서는 실리콘 질화물 계열의 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 23】

제21항에 있어서, 상기 제1 및 제2 콘택 패드를 형성하는 단계는,

상기 게이트 라인들 및 기판 상에 제1 층간 절연막을 형성하는 단계;

상기 활성 영역을 노출하는 개구부를 갖는 바 형태의 자기정렬 콘택 마스크 패턴을 이용하여 게이트 라인과 인접한 게이트 라인 사이의 상기 스토리지 노드 콘택 영역 및 비트라인 콘택 영역의 표면이 노출될 때까지 상기 제1 층간 절연막을 식각하는 단계;

상기 개구부를 매립하도록 상기 제1 층간 절연막 상에 제1 도전층을 형성하는 단계 ; 및

상기 게이트 마스크층의 상부 표면이 노출될 때까지 상기 제1 도전층 및 제1 층간 절연막을 평탄화하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

【청구항 24】

제23항에 있어서, 상기 평탄화 단계는 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 수행하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 25】

제21항에 있어서, 상기 스토리지 노드 콘택 플러그들을 형성하는 단계 전에, 상기 선택적 에피택시얼 실리콘층을 에치 스톱퍼로 이용하여 각 스토리지 노드 콘택홀의 내 측벽 상에 콘택 스페이서들을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 26】

제25항에 있어서, 상기 콘택 스페이서는 실리콘 질화물 계열의 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 27】

제21항에 있어서, 상기 스토리지 노드 콘택 플러그들을 형성하는 단계는,

상기 라인 형태의 스토리지 노드 콘택홀들을 매립하도록 상기 층간 절연막 상에 제2 도전층을 형성하는 단계; 및

상기 층간 절연막의 상부 표면이 노출될 때까지 상기 제2 도전층을 평탄화하여 상기 스토리지 노드 콘택 플러그를 노드 분리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 28】

제21항에 있어서, 상기 층간 절연막을 형성하는 단계 전에,

상기 제1 및 제2 콘택 패드가 형성된 기판의 전면에 제2 층간 절연막을 형성하는 단계;

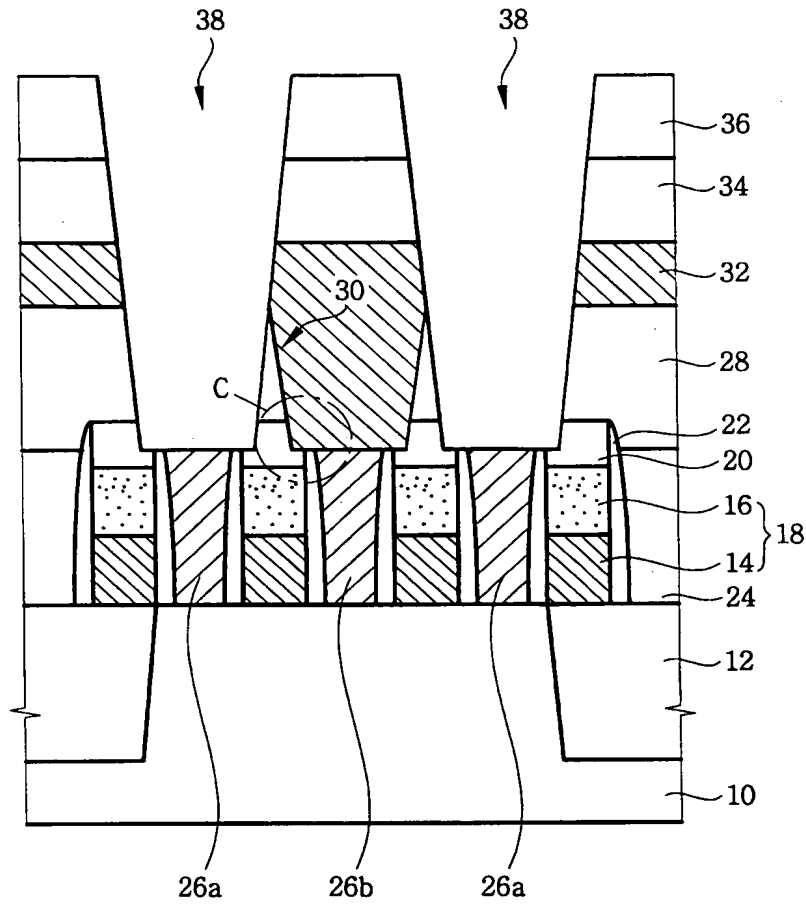
상기 제2 층간 절연막을 부분적으로 식각하여 상기 비트라인 콘택 영역과 접촉하는 제2 콘택 패드를 노출하는 비트라인 콘택홀들을 형성하는 단계;

각 비트라인 콘택홀을 통해 노출된 제2 콘택 패드의 표면 상에, 상기 게이트 마스크층을 커버하도록 선택적 에피택시얼 성장법으로 제1 실리콘층을 형성하는 단계; 및

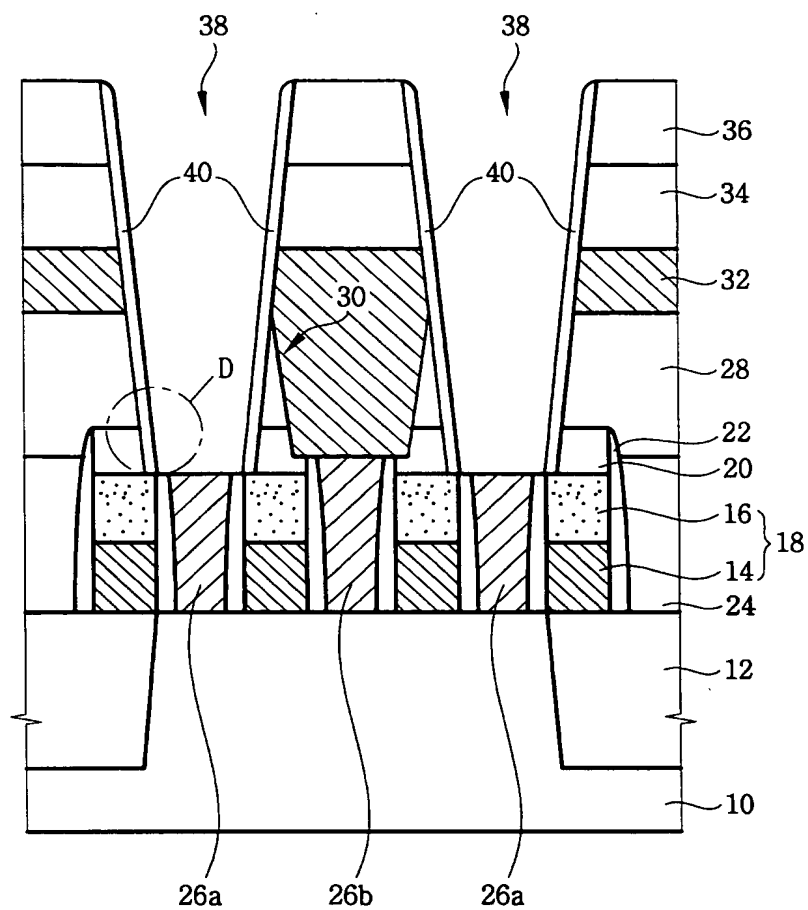
상기 비트라인 콘택홀을 매립하도록 상기 제1 층간 절연막 상에, 상기 비트라인 콘택홀을 통해 상기 제2 콘택 패드와 전기적으로 접속하는 비트라인을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

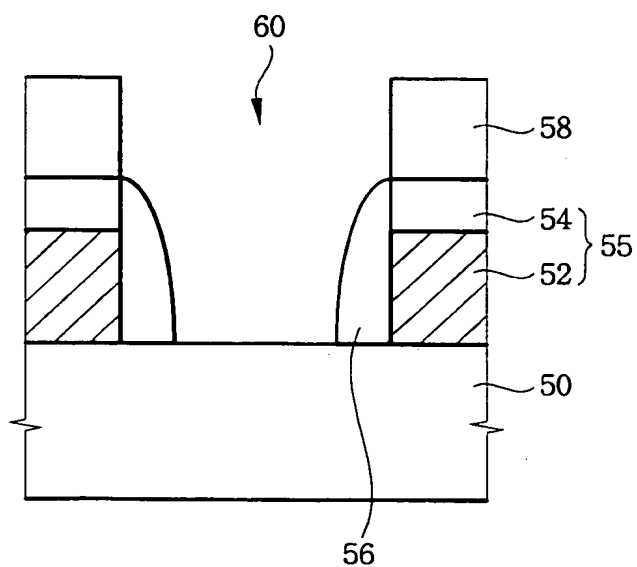
【도 1a】



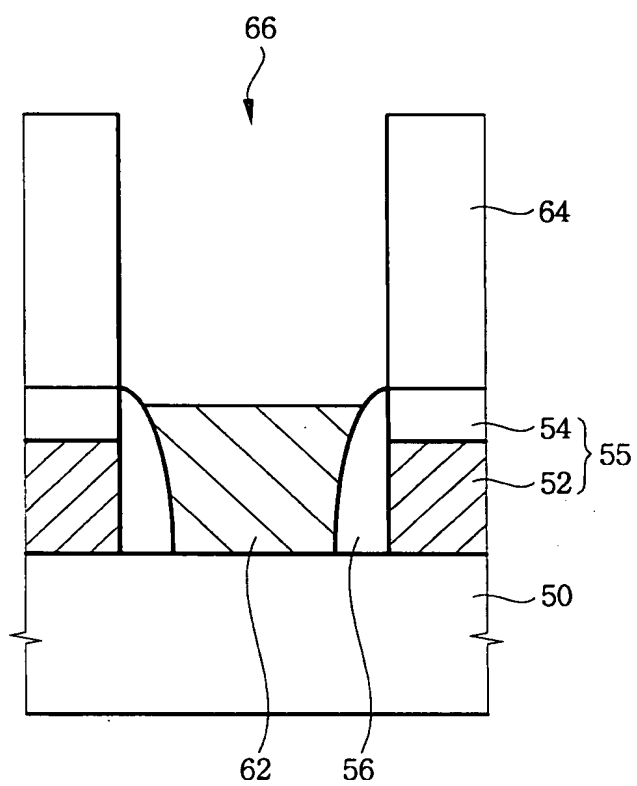
【도 1b】



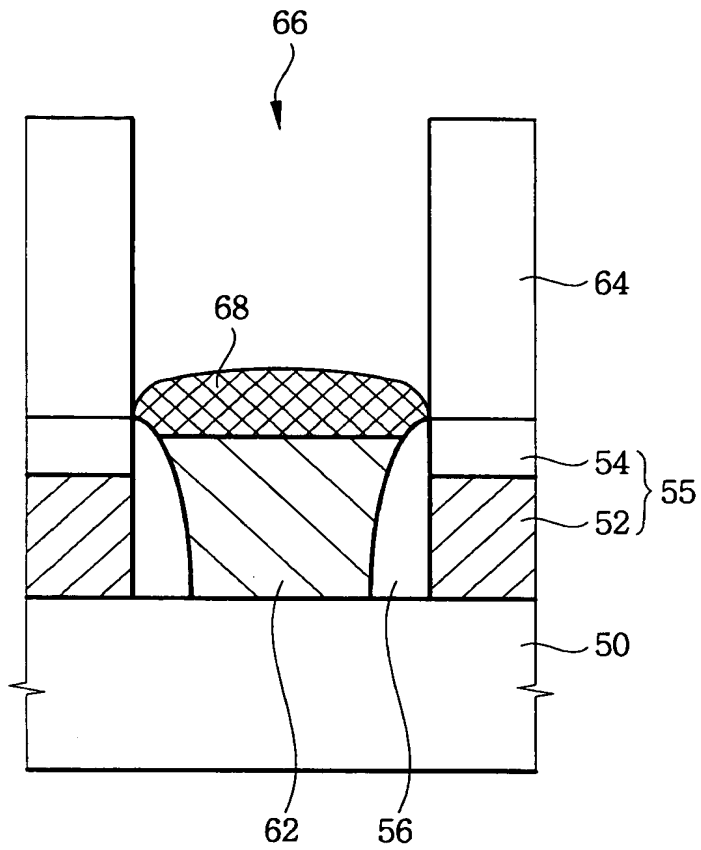
【도 2a】



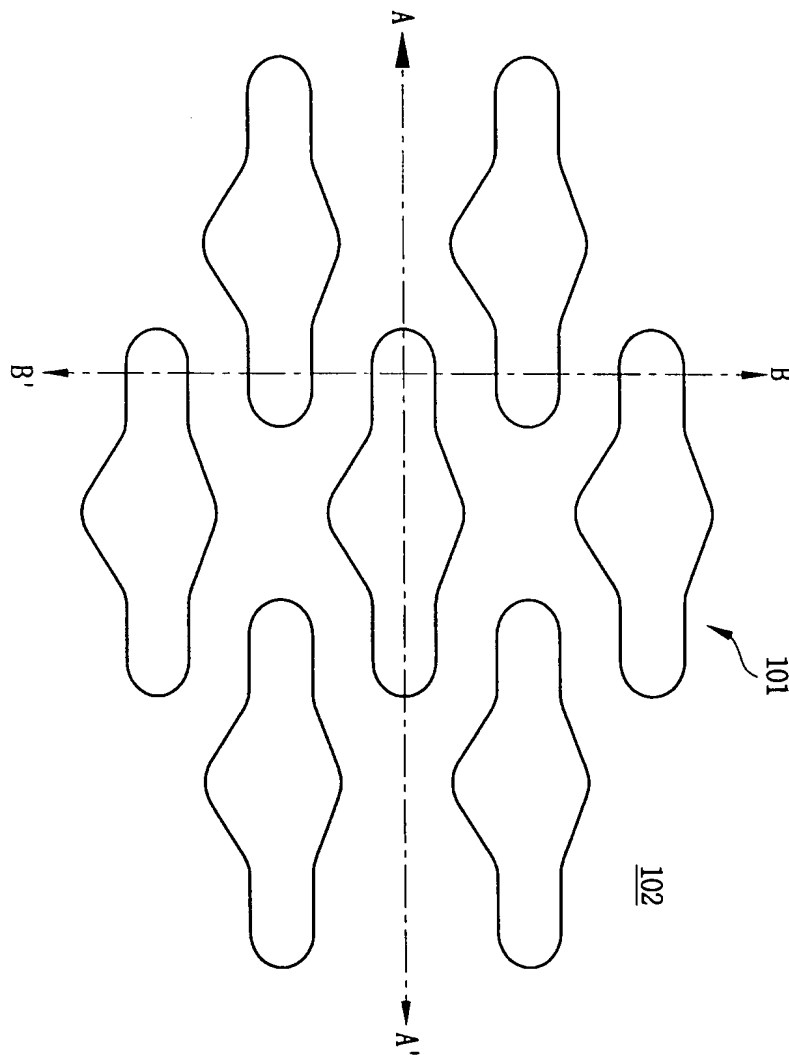
【도 2d】



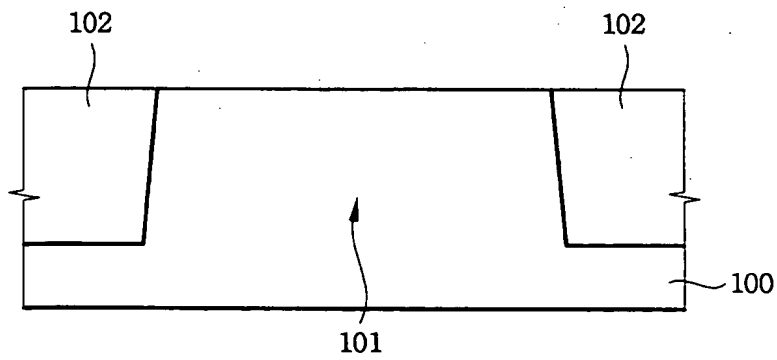
【도 2e】



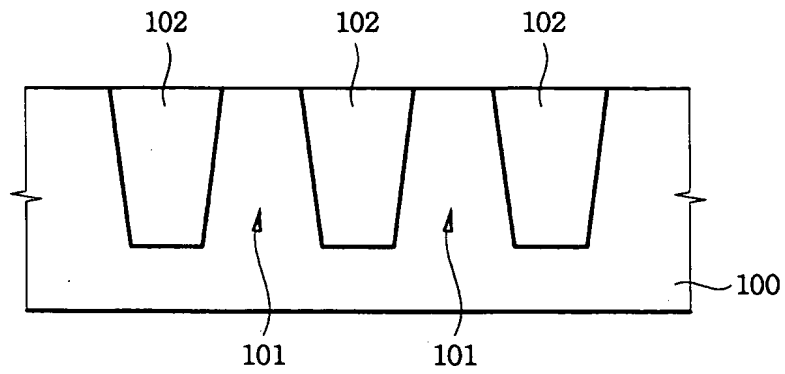
【도 3a】



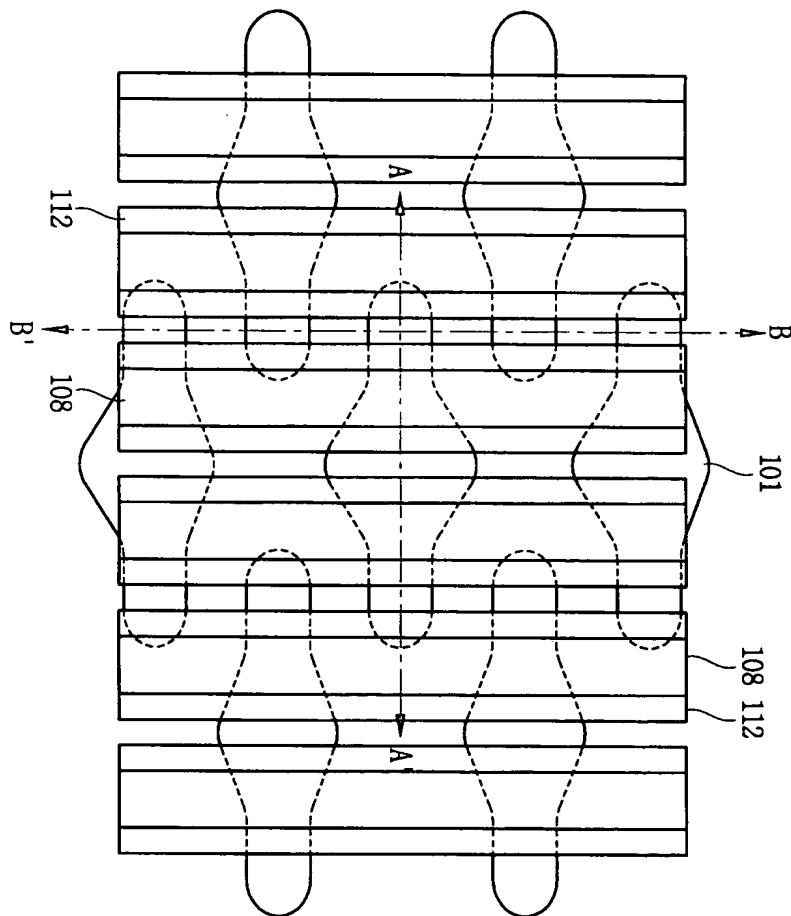
【도 3b】



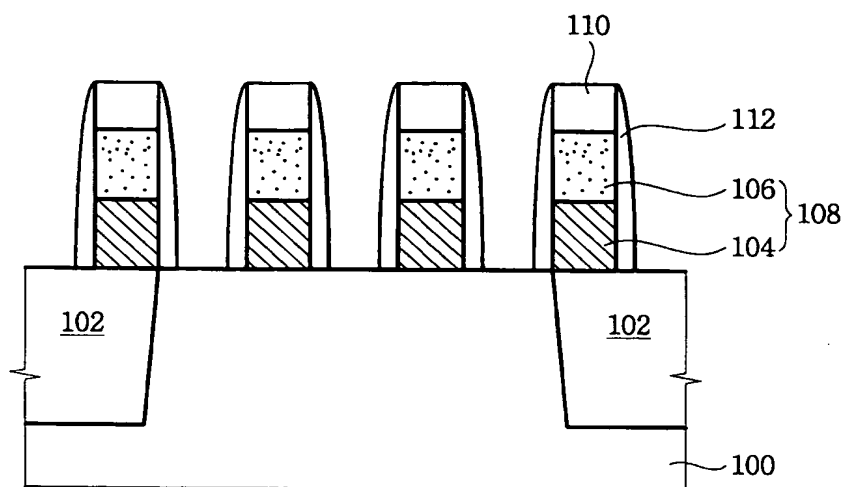
【도 3c】



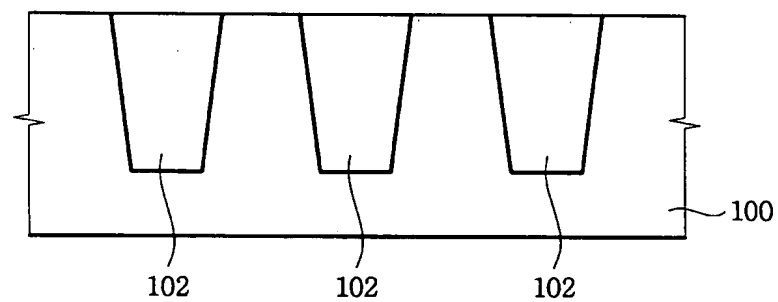
【도 4a】



【도 4b】



【도 4c】

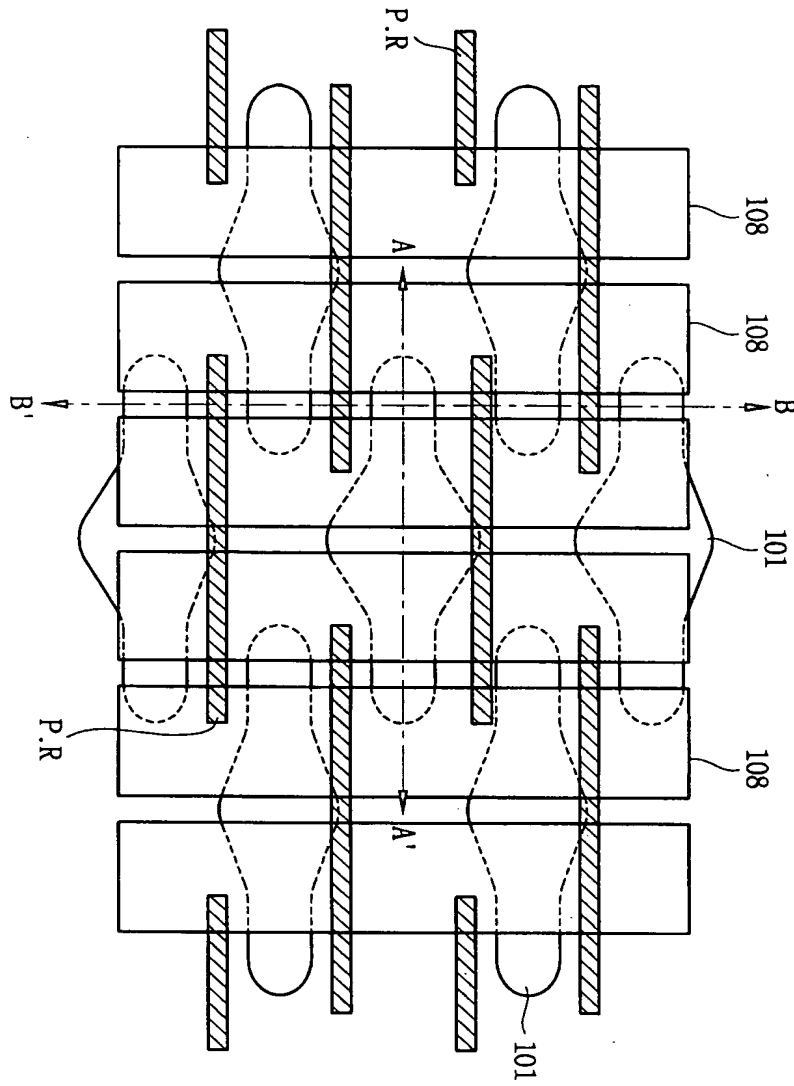




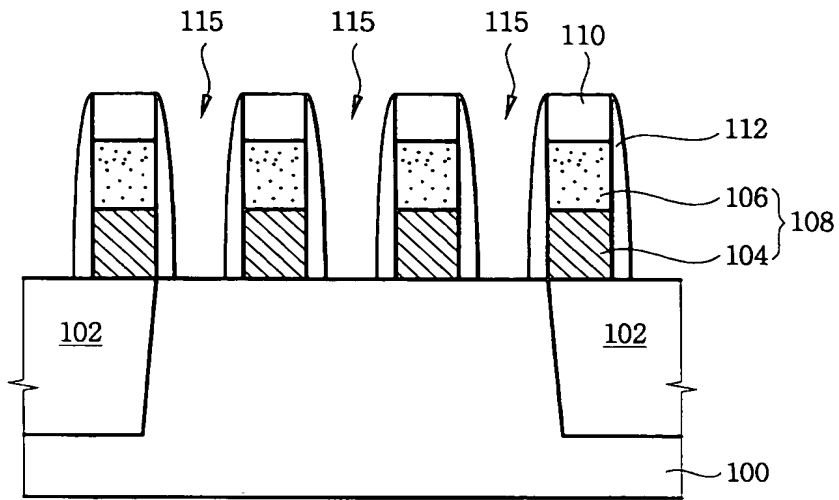
1020030004358

출력 일자: 2003/2/11

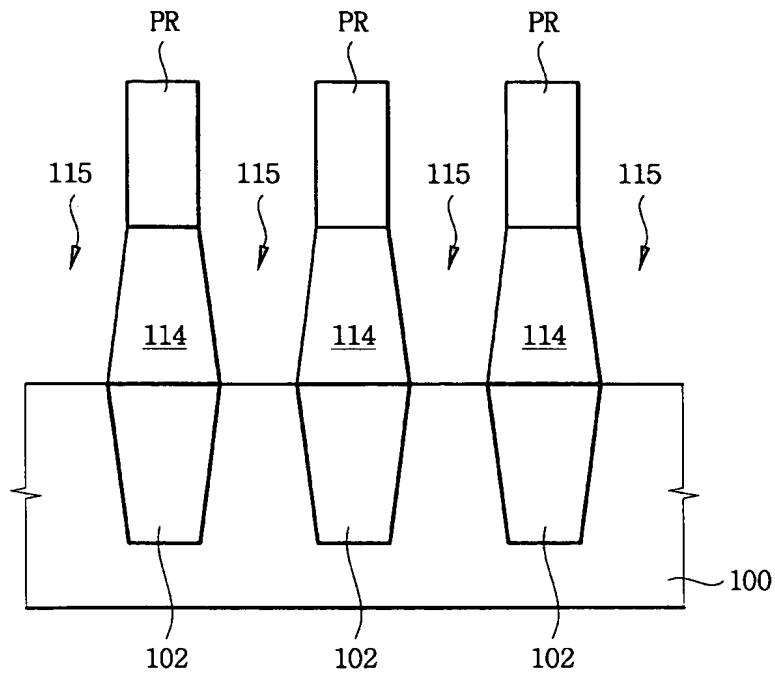
【도 5a】



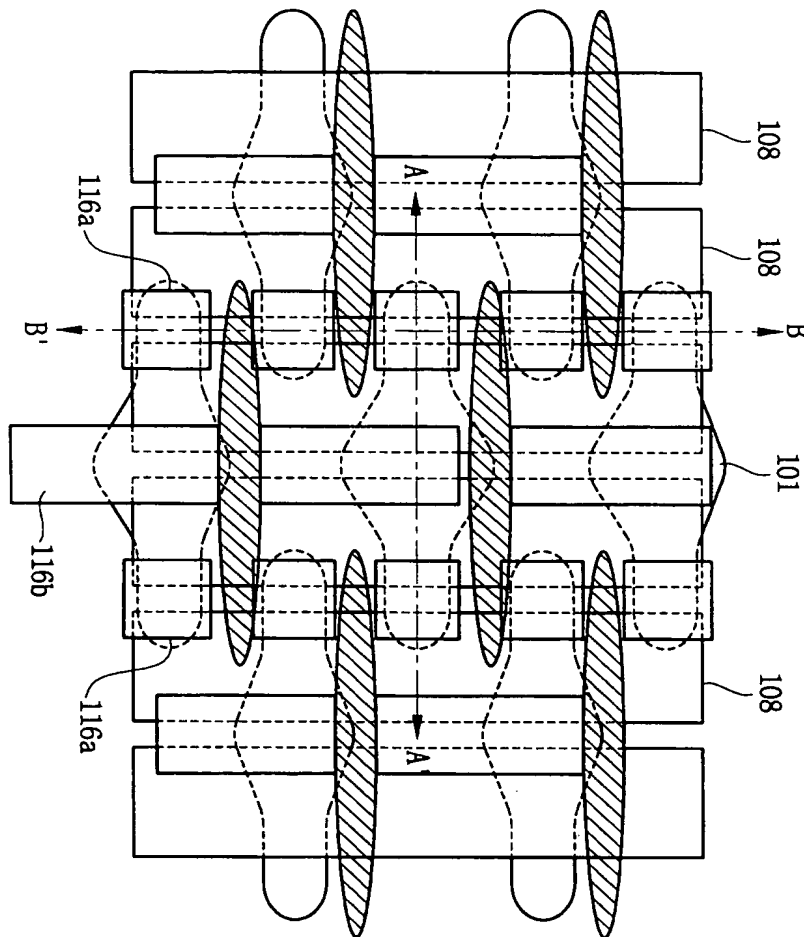
【도 5b】



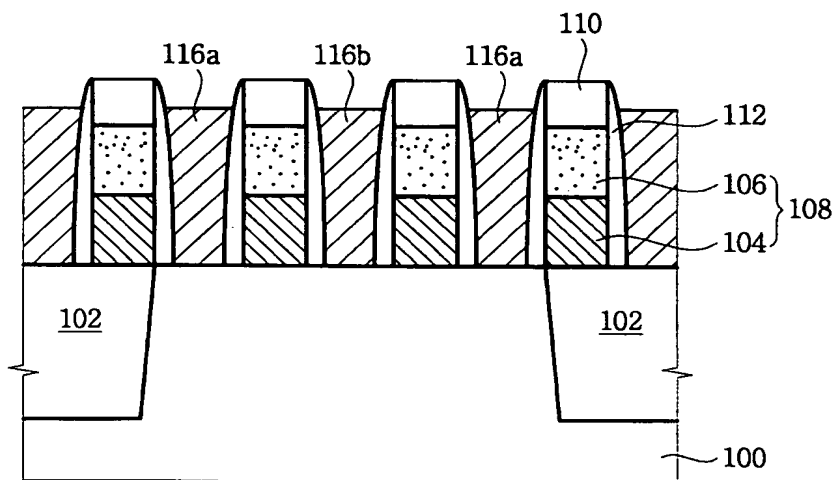
【도 5c】



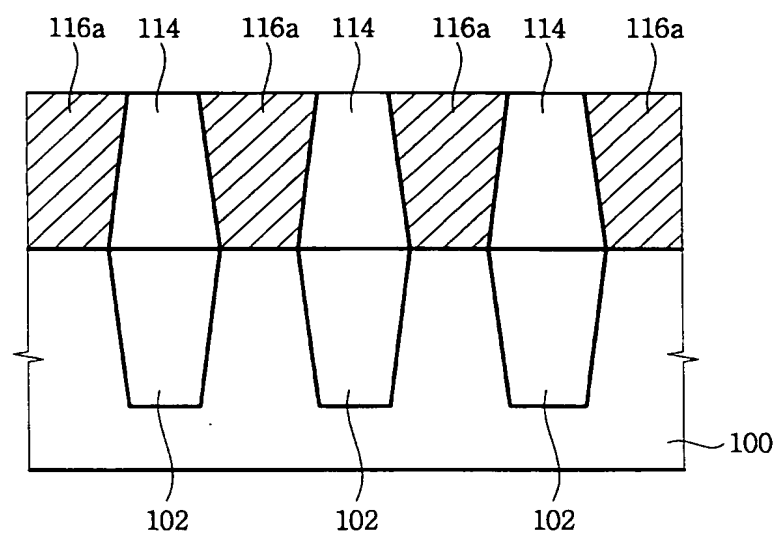
【도 6a】



【도 6b】



【도 6c】

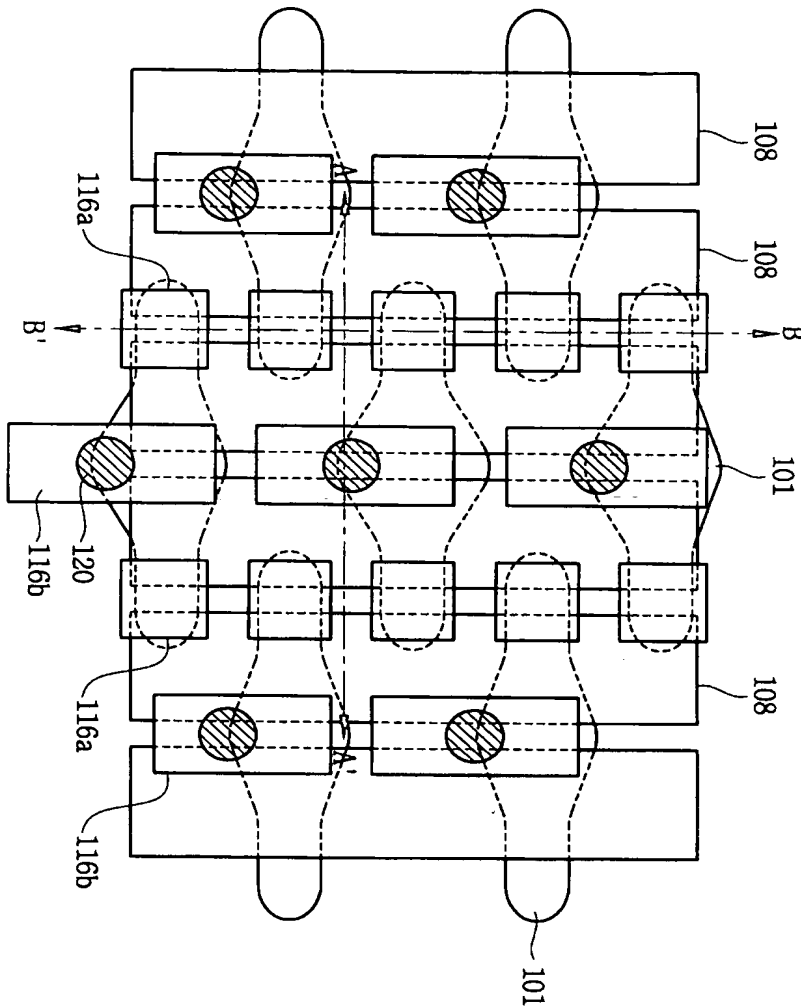




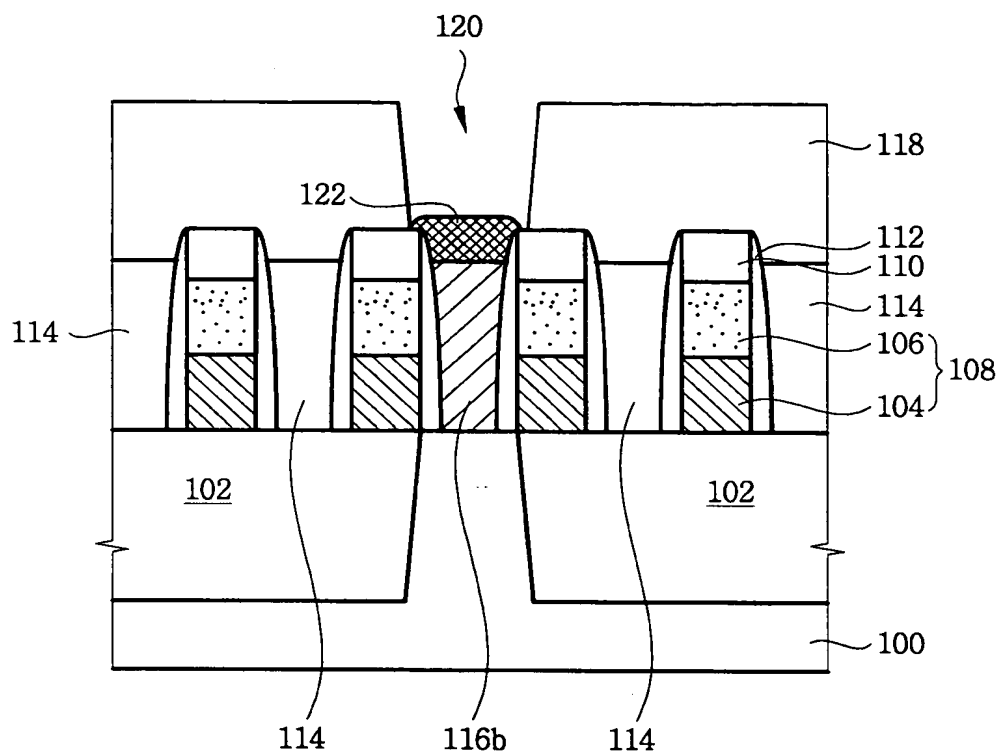
1020030004358

출력 일자: 2003/2/11

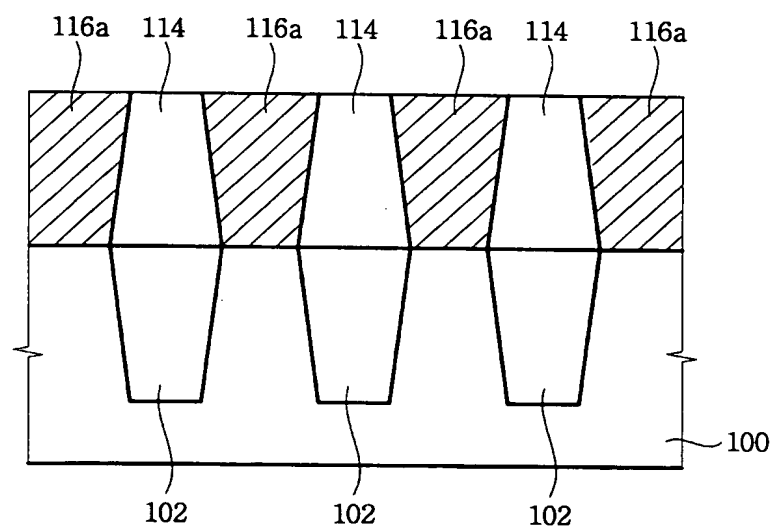
【도 7a】



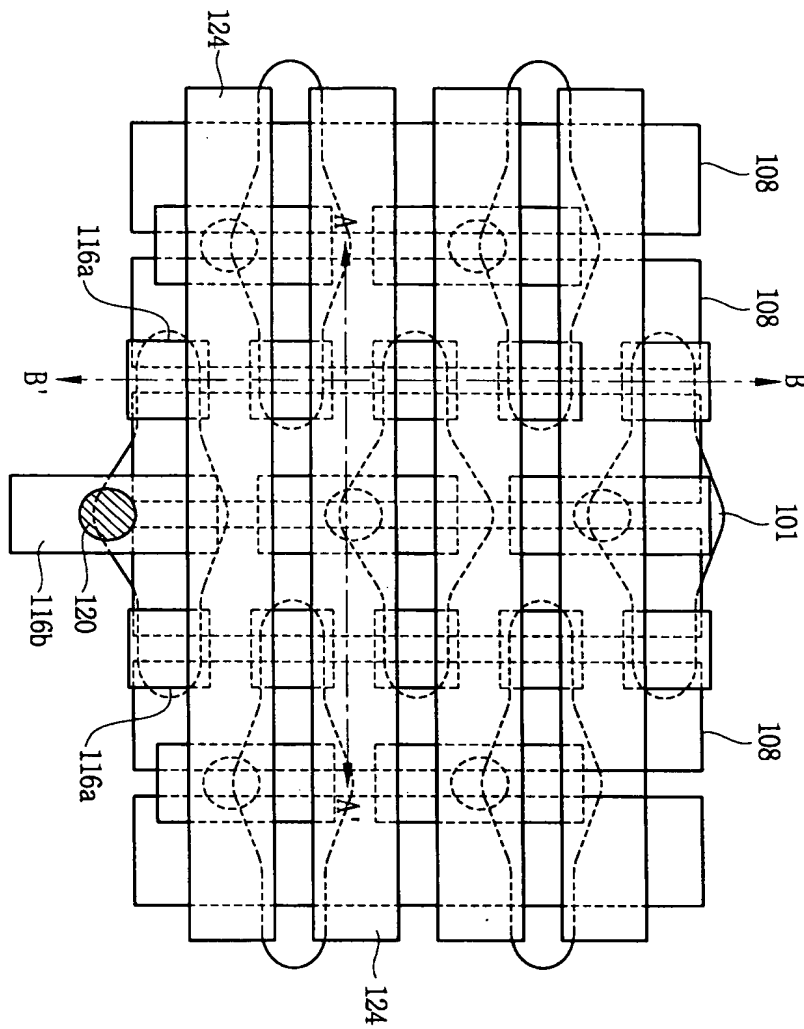
【도 7b】



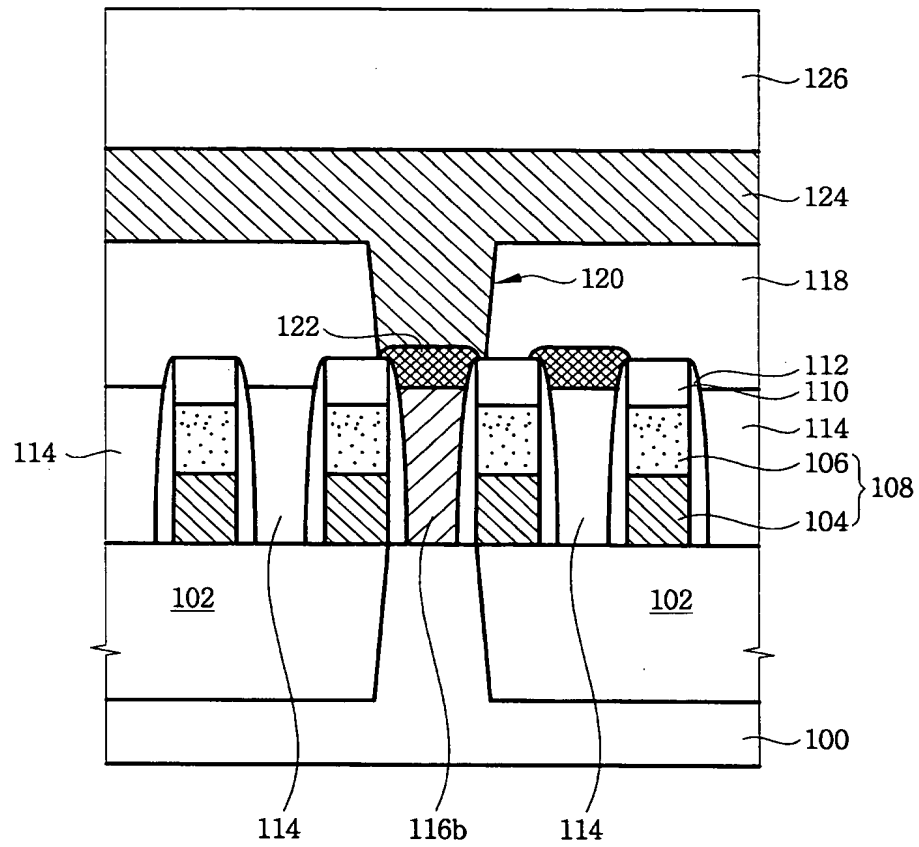
【도 7c】



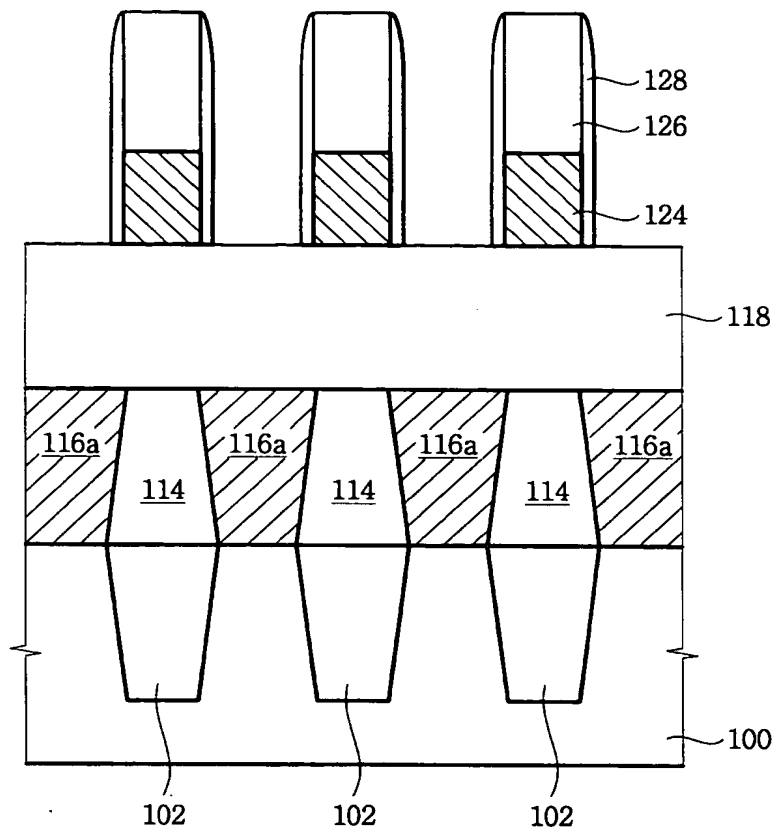
【도 8a】



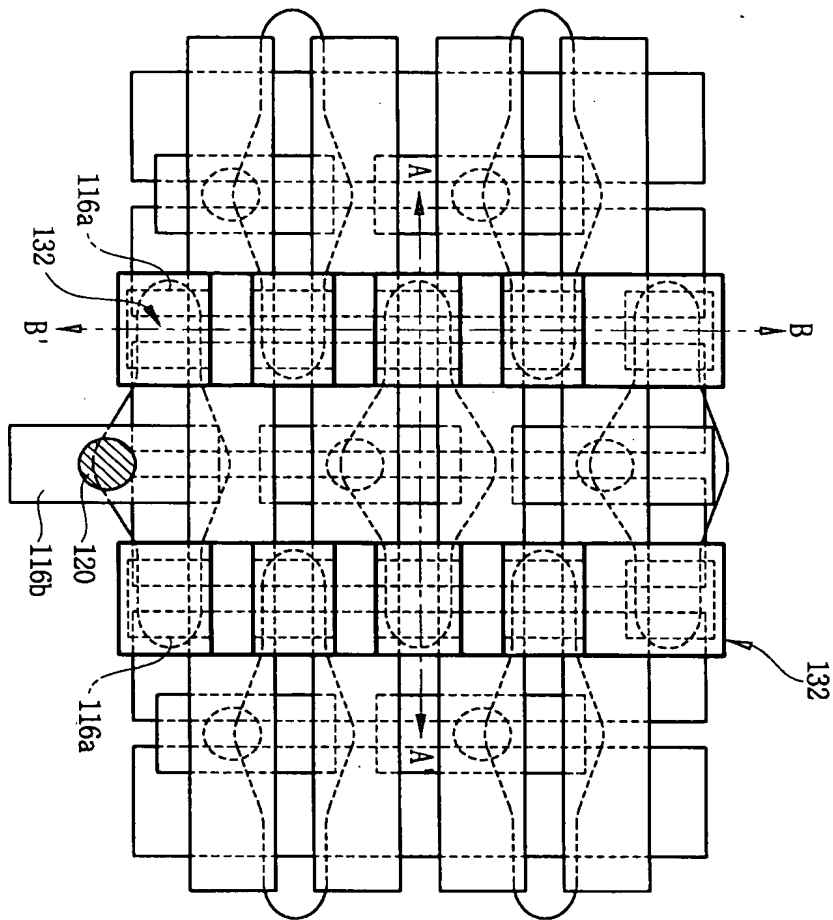
【도 8b】



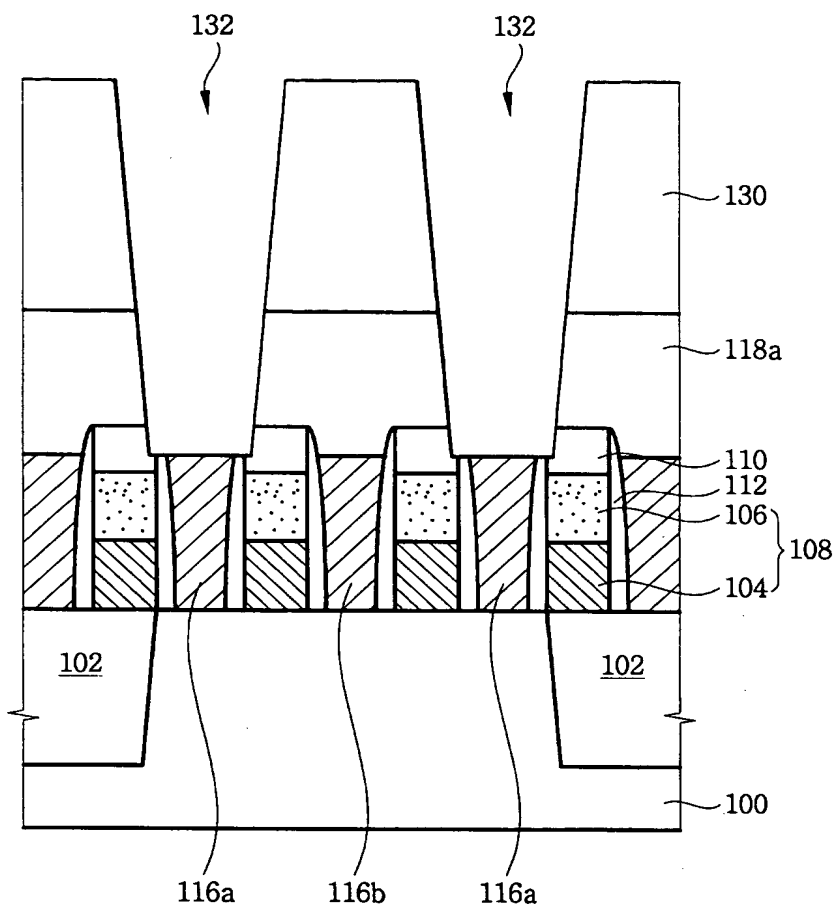
【도 8c】



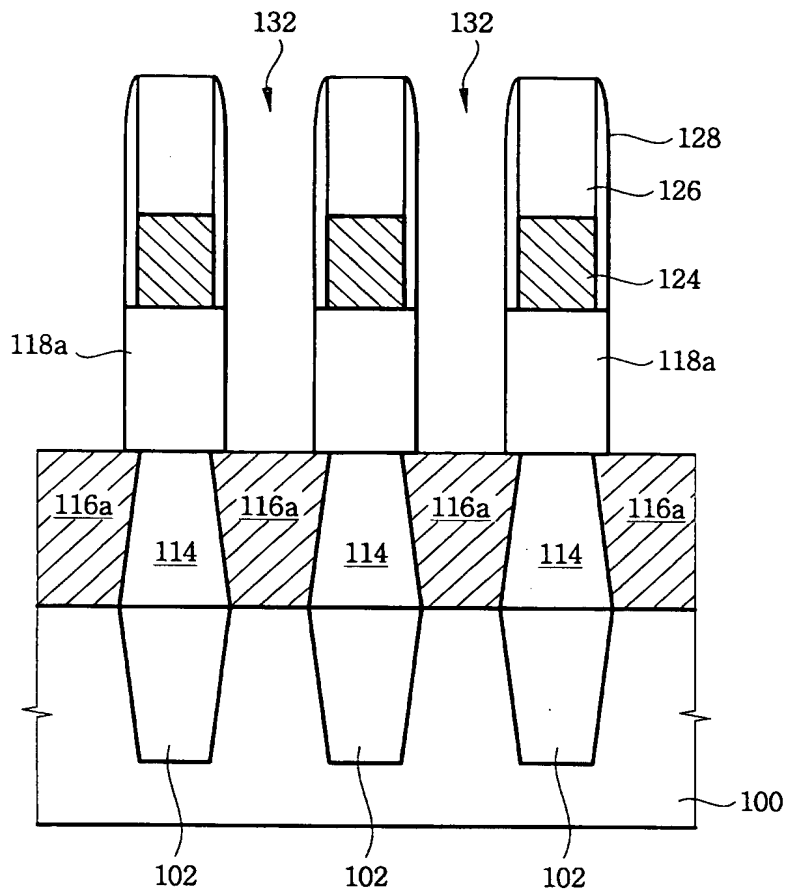
【도 9a】



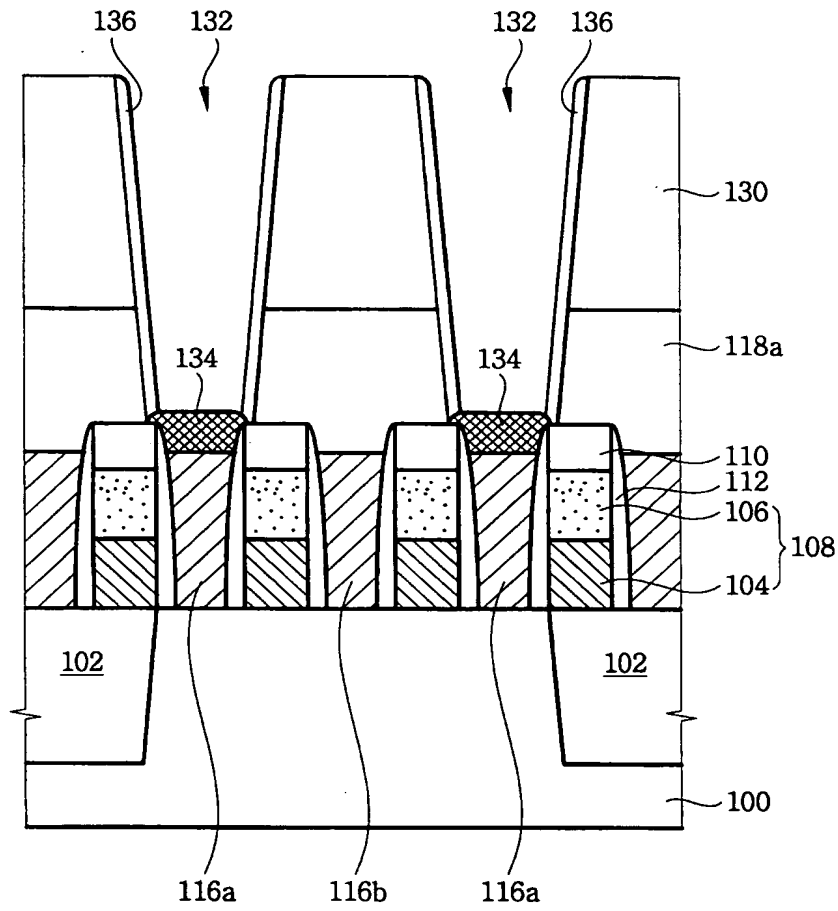
【도 9b】



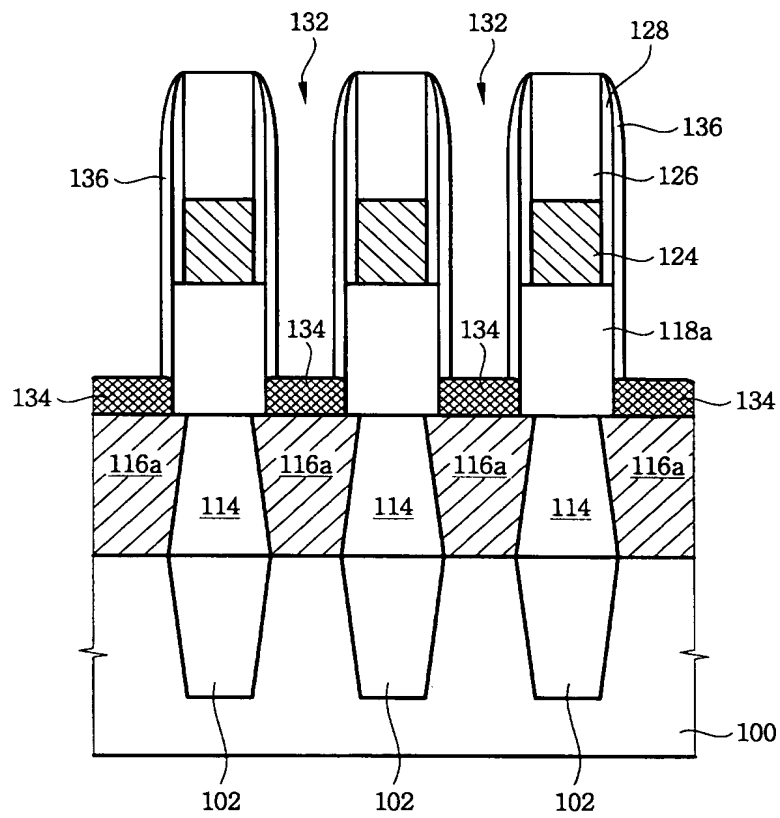
【도 9c】



【도 10a】



【도 10b】



【도 11a】

